

Configurable System on Chip 1

Code: ELECSC10

Kwartaal 2, Jaar 4

Aantal studiepunten: 6

1 Inleiding

Er komen steeds meer configureerbare system-on-chips op de markt, waarin een microcontroller geïntegreerd wordt met een stuk programmeerbare hardware (FPGA). In deze cursus leer je hoe je deze complexe chips kunt programmeren en configureren zodat je ze toe kunt passen in een embedded systeem en op deze manier een totaal geïntegreerde oplossing voor een high-performance en/of real-time toepassing kunt realiseren.

2 Werkvormen en studielast

Er zijn vijf lessen per week ingeroosterd in twee blokken van twee en een half klokuur. Deze blokken van twee en een half klokuur worden online gegeven in de MS Teams omgeving.

Tijdens elke les zal eerst de betreffende theorie gepresenteerd worden, waarna gewerkt zal worden aan verschillende labopdrachten waarin de theorie wordt toegepast en uitgebreid.

Een van de lessen is een gastles. Aanwezigheid bij deze gastles is verplicht, zie ook [paragraaf 10](#).

De verschillende werkvormen zijn weergegeven in de onderstaande tabel.

Werkvorm	Omschrijving	Studielast
Les	Tijdens deze uren wordt een klein deel besteed aan het uitleggen van de benodigde theorie. Na de uitleg werk je aan de opdrachten.	40 klokuren
Zelfstudie	Bestuderen van de gegeven informatiebronnen en zelfstandig werken aan de opdrachten.	128 klokuren

3 Competenties

Deze cursus draagt bij aan het ontwikkelen van de competentie:

- **ontwerpen** door hard- en software te ontwerpen voor een geavanceerde SoC waarop een soft core microcontroller, hard core microcontroller en FPGA gecombineerd worden. (LD1,LD2,LD4 en LD5)¹;
- **realiseren** door een real-time embedded systeem te realiseren m.b.v. een configureerbare system-on-chip waarin een hard core microcontroller gecombineerd wordt met een soft core microcontroller en een zelf ontworpen digitale schakeling (LD1 t/m LD5).

4 Leerdoelen

De specifieke leerdoelen die getoetst worden staan weergegeven in onderstaande tabel.

#	Niveau	Weging	De student is in staat om ...
1	C	15 %	... in VHDL een hardware module te ontwerpen en implementeren met een memory bus interface zodat deze module, vanuit een soft of hard core processor, memory mapped te programmeren is.
2	C	30 %	... een embedded systeem op een FPGA te ontwerpen en implementeren bestaande uit een soft core, software, bestaande hardware modules en zelf in VHDL geïmplementeerde hardware modules.
3	C	15 %	... op dit embedded systeem een RTOS toe te passen.
4	C	30 %	... een embedded systeem op een FPGA te ontwerpen en implementeren bestaande uit een hard core, software die draait onder Linux, bestaande hardware modules en zelf in VHDL geïmplementeerde hardware modules.

Wordt vervolgd op de volgende pagina.

¹ LD = leerdoel, zie [paragraaf 4](#).

Vervolg van de vorige pagina.

#	Niveau	Weging	De student is in staat om ...
5	C	10 %	... te beslissen of bepaalde functionaliteit van een embedded applicatie beter op een soft core, op een hard core of in hardware geïmplementeerd kan worden.
6	A	0 %	... verschillende vormen van High Level Syntheses met de voor- en nadelen van deze vormen te benoemen.

De beheersingsniveaus van de verschillende leerdoelen zijn afkomstig van de taxonomie van Bloom (met een bewerking van Anderson). A = Kennis, onthouden, B = Inzien, begrijpen, C = Toepassen, gebruiken, D = Problemen oplossen, analyseren, synthetiseren.

5 Toetsing en beoordeling

De leerdoelen worden getoetst op basis van een praktische eindopdracht. In week 1 tot en met 5 voer je labopdrachten uit om de kennis en vaardigheden te verwerven die nodig zijn om de eindopdracht uit te kunnen voeren. Deze labopdrachten moeten voor gedaan afgetekend worden door de docenten. Dit is een *voorwaarde om aan de eindopdracht te mogen beginnen*. De labopdrachten worden in tweetallen uitgevoerd.

De eindopdracht mag naar keuze individueel of samen met een andere student worden uitgevoerd. *Voorwaarde voor het nakijken* is dat er geen sprake is van plagiaat, zie bijlage 4, artikel 9.2 in de hogeschoolgids. Blijkt er niet te zijn voldaan aan deze voorwaarde, dan wordt er onmiddellijk een onvoldoende gegeven en een fraudemelding gedaan bij de examencommissie. Als er twijfel is over de bijdrage van één student van een groepje van twee studenten dan kunnen de docenten deze studenten om een extra mondelinge toelichting vragen.

De eindopdracht wordt beoordeeld aan de hand van een verslag. De beoordelingscriteria zijn te vinden op Brightspace. Inzage beoordeling is mogelijk op verzoek tot 3 weken na de deadline.

Toets	Leerdoelen	Weging	Deadline
Eindopdracht	1 t/m 5	100 %	Lesweek T2, zondag 23.59 uur

De eindopdracht kan, indien onvoldoende, worden herkanst in kwartaal 3. De herkansting bestaat uit het alsnog aftekenen van de labopdrachten (indien nodig) en het maken

van een *nieuwe* eindopdracht. De deadline voor deze herkansingsopdrachten is zondag 23.59 uur van lesweek HT2.

6 Voorkennis

Deze cursus gaat door op de stof van [HWP01](#) en [RTS10](#). Een voldoende voor deze cursussen is aan te raden.

7 Aansluiting op verdere studie

In deze cursus verwerf je kennis en vaardigheden die het je mogelijk maken om een geavanceerde SoC toe te passen in de embedded systemen die je ontwerpt. Dit kun je gebruiken tijdens het afstuderen en in je latere carrière.

8 Aanbevolen literatuur

Volnei A. Pedroni. *Circuit Design and Simulation with VHDL*. 3de ed. The MIT Press, 2020. ISBN: 978-0-262-04264-2. Dit boek heb je ook al bij HWP01 gebruikt.

Bryan Mealy en Fabrizio Tappero. *Free Range VHDL*. 1.21. freerangefactory.org, 2018. URL: https://bitbucket.org/HR_ELEKTRO/csc10/wiki/Boeken/free_range_vhdl.pdf. Een gratis beschikbaar boek over VHDL.

Jean J. Labrosse. *μC/OS II The Real-Time Kernel – User's Manual*. Micrium Press, 2015. URL: https://bitbucket.org/HR_ELEKTRO/csc10/wiki/Boeken/100-uC-OS-II-003.pdf. Een gratis beschikbaar boek over het RTOS μC/OS-II.

Bij de lessen maak je gebruik van de [DE1-SoC](#) ontwikkelborden.

9 Docentenbereikbaarheid

Docent	E-mail	MS Teams chat
J.Z.M. Broeders	BroJZ@hr.nl	Chat met Harry Broeders
D. Versluis	VersD@hr.nl	Chat met Daniël Versluis

10 Deadlines en speciale activiteiten

Aanwezigheid bij het gastcollege is verplicht. Bij afwezigheid moet je een vervangende opdracht maken. Als deze opdracht onvoldoende wordt beoordeeld, wordt de cursus met een onvoldoende beoordeeld. Aanwezigheid bij de overige lessen wordt sterk aanbevolen. Een praktische opdracht die na (onafhankelijk van hoe lang na) de deadline ingeleverd wordt, wordt niet meer nagekeken! De deadline staat vermeld in [paragraaf 5](#).

11 Planning

In deze paragraaf wordt de gedetailleerde planning gegeven. De planning kan gedurende het semester nog worden aangepast. Als dit nodig is, dan zal een aangepaste planning worden gepubliceerd op Brightspace.

Week	Werkvorm	Beschrijving
2.1	Les Zelfstudie	Soft core (LD2) Zie paragraaf 2
2.2	Les Zelfstudie	Platform Designer component en RTOS (LD1, LD3) Zie paragraaf 2
2.3	Les Zelfstudie	Hardcore en Linux (LD4) Zie paragraaf 2
2.4	Les Zelfstudie	Design space exploration (LD5) Zie paragraaf 2
2.5	Les Zelfstudie	High-Level Syntheses (LD6) Zie paragraaf 2
2.6	Les	Werken aan de eindopdracht (LD1 t/m LD5)

Deze tabel wordt vervolgd op de volgende pagina.

Vervolg van de vorige pagina.

Week	Werkvorm	Beschrijving
	Zelfstudie	Zie paragraaf 2
2.7	Les	Werken aan de eindopdracht (LD1 t/m LD5)
	Zelfstudie	Zie paragraaf 2
2.8	Les	Werken aan de eindopdracht (LD1 t/m LD5)
	Zelfstudie	Zie paragraaf 2
T2	Eindopdracht	Deadline zondag 23.59 uur
HT2	Herkansing eindopdracht	Deadline zondag 23.59 uur

Versiehistorie

Datum	Versie	Omschrijving	Auteur
11-2023	1.3	Voorkennis aangepast.	BrojZ
11-2022	1.2	Leerdoelen aangepast en feedback toetscommissie verwerkt.	BrojZ , VersD
10-2021	1.1	Leerdoelen, weging en toetsing aangepast.	BrojZ
10-2020	1.0	Eerste versie.	BrojZ