


CSC10 Week 1: Soft core

Je bent na het volgen van deze cursus in staat om:

- in **VHDL** een **hardware module** te ontwerpen en implementeren met een **memory bus** interface zodat deze module, vanuit een soft of hard core processor, memory mapped te programmeren is;
- een embedded systeem op een FPGA te ontwerpen en implementeren bestaande uit een **soft core**, software, bestaande hardware modules en zelf in VHDL geïmplementeerde hardware modules;
- op dit embedded systeem een **RTOS** toe te passen;
- een embedded systeem op een FPGA te ontwerpen en implementeren bestaande uit een **hard core**, software die draait onder Linux, bestaande hardware modules en zelf in VHDL geïmplementeerde hardware modules;
- te beslissen of bepaalde functionaliteit van een embedded applicatie **beter** op een **soft core**, op een **hard core** of in **hardware** geïmplementeerd kan worden;
- verschillende vormen van **High Level Syntheses** met de voor- en nadelen van deze vormen te benoemen.

- We maken gebruik van door Intel beschikbaar gestelde **tutorials**.
- Het uitvoeren van deze tutorials is **geen doel** op zich!
- Zorg dat je **begrijpt** wat je doet en hou de **leerdoelen** in het oog.
- **Vraag** indien nodig de docent om extra uitleg.
- Hou een **logboek** bij, zodat je e.e.a. snel terug kunt zoeken.

- Week 1 t/m 5: **Weekopdrachten**:
 - Geen beoordeling wel feedback (met aftekenen).
 - Werken in tweetallen (elke student heeft thuis zijn eigen DE1-SoC).
- **Gastcollege** (verplicht) waarschijnlijk in week 5.
- Week 6 t/m 9: **Eindopdracht**:
 - Aantonen dat je de leerdoelen hebt behaald.
 - Naar keuze individueel of samen met een andere student.
 - Je mag de eindopdracht **zelf bedenken**.
 - **Opdrachtomschrijving** moet worden ingeleverd in het **begin van week 5** en goedgekeurd worden door de docenten.
 - Inleveren: code en verslag.

- Alle lessen zijn online via MS Teams
- Alle informatie vind je op de [Wiki](#)
-  Bitbucket
- [Brightspace](#) LMS:
 - [Voortgang](#) labopdrachten
 - Eindopdracht (goedkeuren, inleveren en beoordeling)



Leerdoelen week 1. Je leert hoe je:

- een Nios II **soft core** kan integreren in een Cyclone V FPGA met behulp van Intel's Platform Designer Tool For Quartus;
- software voor deze soft core kan ontwikkelen in assembler en C en hoe je deze software kan testen met behulp van het **Intel FPGA Monitor Program**;
- software voor deze soft core kan ontwikkelen in C door gebruik te maken van een **Board Support Package (BSP)** gegenereerd door de **Nios II Embedded Design Suite (EDS)**.

Volgende week...

Een **eigen** Platform Designer **component** definiëren met behulp van **VHDL** en gebruiken m.b.v. een **RTOS**.

Aan de slag!

Aan de slag met [Opdrachten_Week_1.pdf](#)

