

Programmeerbare hardware 1

Code: ELEHWP01

Kwartaal 1, Jaar 4

Aantal studiepunten: 3

1 Inleiding

Dit studieonderdeel is bestemd voor studenten die deelnemen aan de minor Embedded Systems van de opleiding Elektrotechniek. In deze cursushandleiding wordt de gang van zaken m.b.t. deze cursus beschreven.

In toenemende mate ontwerpt de Embedded Systems Engineer systemen waarbij de integratie van zowel hardware als software bepalend is voor de functionaliteit. Een goede keuze maken tussen welk deel van de applicatie in hardware geïmplementeerd wordt en welk deel in software, noemen we in de literatuur design space exploration. In deze cursus staan we stil bij het ontwerpen van digitale hardware in FPGA's. (In de vervolgcursus ELECSC10 ga ja design space exploration toepassen.)

Het hardware-ontwerp van een embedded system bevat tegenwoordig regelmatig herconfigureerbare hardware vanwege de grote flexibiliteit die deze platformen bieden. Tientallen jaren geleden bestonden programmeerbare componenten uit PAL en GAL IC's, die fysiek geprogrammeerd dienden te worden. Moderne componenten (CPLD's en FPGA's) kunnen telkens opnieuw geprogrammeerd worden en bevatten (afhankelijk van de definitie die je hanteert) tot het equivalent van honderdduizenden conventionele logische componenten. Ook worden steeds meer microprocessor-chips uitgevoerd met een herconfigureerbaar hardware gedeelte om specifieke taken te versnellen, voornamelijk in generieke computing applicaties. Zo heeft Intel de FPGA fabrikant Altera overgenomen¹ en heeft AMD de FPGA fabricant Xilinx overgenomen². Datacenters worden steeds vaker uitgerust met FPGA's³. Naar verwachting zullen in de toekomst het aantal applicaties die geïmplementeerd worden d.m.v. FPGA's alleen maar stijgen⁴.

¹ Bron: <https://www.eweek.com/servers/intel-completes-16.7-billion-altera-deal/> (2015).

² Bron: <https://www.nytimes.com/2020/10/27/technology/amd-xilinx-35-billion-stock-deal.html> (2020).

³ Bron: <https://www.allaboutcircuits.com/news/shifting-to-a-field-programable-gate-array-data-center-future/> (2022).

⁴ Bron: <https://www.researchandmarkets.com/reports/5398214/fpga-market-by-configuration-low-end-fpga-mid> (2022)

In deze cursus zullen we met een moderne component aan de slag gaan; namelijk met het Altera DE1-SoC board, waarop een Cyclone V FPGA geplaatst is. De Cyclone V chip bevat naast een grote hoeveelheid herconfigureerbare logica ook een hardcore ARM dual-core om general-purpose zaken af te handelen. Door de grote hoeveelheid I/O en programmeerbare logische elementen is dit board uitstekend geschikt om een scala aan schakelingen te realiseren.

FPGA ontwerpen worden in de meeste gevallen door middel van hardware-beschrijvingstalen vastgelegd. De meest gebruikte talen hiervoor zijn Verilog en VHDL. VHDL wordt voornamelijk in Europa gebruikt. Daarom ga je bij deze cursus leren om digitale schakelingen die je hebt ontworpen met VHDL te beschrijven.

Omdat de Engelse taal veel gebruikt wordt in de wereld van Embedded Systems, is al het lesmateriaal in het Engels geschreven.

2 Werkvormen en studielast

In de eerste vijf weken worden theorielessen van anderhalf klokuur gegeven op een locatie van de Hogeschool. In alle acht weken wordt een practicum gegeven van twee en een half klokuur. Deze practica voer je thuis uit en ze worden online via MS-Teams begeleid. Bereid de practica goed voor om de begeleiding zo optimaal mogelijk te benutten. De verschillende werkvormen zijn weergegeven in de onderstaande tabel.

Werkvorm	Omschrijving	Studielast
Theorielessen	Theorie volgen.	7,5 klokuren
Practicum	Begin maken met de labopdrachten, werken aan de eindopdracht.	20 klokuren
Zelfstudie	Bestuderen van het studiemateriaal. Uitwerken van alle labopdrachten en de eindopdracht. Schrijven van het verslag.	56,5 klokuren

3 Competenties en gedragskenmerken

Deze cursus draagt bij aan het ontwikkelen van de competentie:

- **analyseren** door de weekopdrachten te analyseren en vanuit de gewenste functionaliteit de requirements te bepalen;

- **ontwerpen** door het ontwerpen van het architectuurschema van een digitale schakeling en het verder uitwerken van de verschillende componenten in een detailontwerp;
- **realiseren** door het realiseren van een digitale schakeling in een FPGA met behulp van VHDL en door een VHDL-beschrijving te testen met behulp van een testbench in een simulator.

4 Leerdoelen

#	Niveau	Weging	De student is in staat om ...
1	C	20 %	... een architectuurschema van een digitale schakeling te ontwerpen en te analyseren zodanig dat dit schema bruikbaar is voor een gedetailleerde uitwerking met behulp van VHDL en tevens bepaalde functionele eisen volbrengt.
2	C	20 %	... met behulp van VHDL digitale schakelingen te ontwerpen zodanig dat de schakeling voldoet aan de vooraf gestelde functie.
3	C	20 %	... het verschil aan te geven tussen een sequentiële en een combinatorische digitale schakeling zodanig dat (in VHDL) de juiste vorm van het beschrijven van deze schakeling gekozen kan worden.
4	C	20 %	... de werking van een in VHDL beschreven digitale schakeling te testen met behulp van een zogenaamde testbench, zodanig dat bewezen wordt dat de schakeling voldoet aan de gespecificeerde eisen.
5	C	20 %	... een in VHDL beschreven digitale schakeling te realiseren op een FPGA met bijbehorende periferie, zodanig dat de schakeling ook buiten de FPGA voldoet aan de functionele en implementatiegerichte eisen.

De beheersingsniveaus van de verschillende leerdoelen zijn afkomstig van de taxonomie van Bloom (met een bewerking van Anderson). A = Kennis, onthouden, B = Inzien, begrijpen, C = Toepassen, gebruiken, D = Problemen oplossen, analyseren, synthetiseren.

5 Toetsing en beoordeling

De toetsing van deze cursus is opgebouwd uit de volgende twee onderdelen:

1. Practicumopdrachten (tweetallen):

- Je werkt in tweetallen aan de labopdrachten 1 t/m 5.
- Je dient alle opdrachten van het practicum afgerond te hebben.
- Deze opdrachten worden afgetekend door de docenten tijdens het practicum.

2. Eindopdracht (individueel):

- Je werkt alleen aan de eindopdracht. Er zijn op dit moment meer dan twintig verschillende eindopdrachten om uit te kiezen. Studenten kiezen in overleg met de docenten een eindopdracht. Je mag ook zelf een eindopdracht verzinnen, maar deze moet in overleg met de docenten vooraf goedgekeurd worden. De meeste eindopdrachten hebben te maken met een externe sensor of led-strip die aangesloten dient te worden op de DE1-SoC bord. De besturing en terugkoppeling van de sensor of led-strip dient plaats te vinden via de DE1-SoC bord. Het ontwerp en de resultaten van de eindopdracht moeten beschreven worden in een verslag.

Opdrachten

Bij de opdrachten moeten de volgende onderdelen opgeleverd worden. Deze eisen gelden voor de wekelijkse practicumopdrachten en voor de eindopdracht:

1. Ontwerp:

- Architectuur- en ontwerpschets, inclusief het 'top level' schema conform de eisen.

2. VHDL-code:

- VHDL-code van alle componenten uit het ontwerp. Bij de eindopdracht moet een onderbouwing gegeven worden voor de keuze tussen concurrent en sequentiële code. Bij de weekopdrachten kan hier mondeling naar gevraagd worden.

3. Simulatie resultaten:

- Met behulp van een testbench bewijs je dat de schakeling functioneel is.

4. Realisatie op FPGA:

- Bewijs dat de basis functionaliteit (en eventuele extra features) van een FPGA schakeling werken door deze te demonstreren aan een van de docenten. Bij de eindopdracht kan een link naar een filmpje van een demonstratie van de werkende schakeling worden opgenomen in het verslag.

Beoordeling

Als alle practicumopdrachten hebt afgetekend en de eindopdracht hebt volbracht en voldoet aan de basis requirements van de opdracht, dan heb je de cursus met een zes behaald. Als één van de onderdelen mist is het eindcijfer onvoldoende. Een hogere beoordeling dan voldoende (zes) is mogelijk, mits er een aantal requirements (vooraf in overleg met de begeleidende docenten) zijn toegevoegd aan de eindopdracht. De eindopdracht wordt beoordeeld aan de hand van het ingeleverde verslag en de ingeleverde VHDL-code m.b.v. een rubriek die vooraf gepubliceerd wordt op de HWP01 wiki.

Weging

In onderstaande tabel is aangegeven hoe het cijfer is opgebouwd:

	Opbouw van de eindcijfer	weging	leerdoel
P	Aftekenen van de vijf practicumopdrachten	voorwaardelijk	
E.1	Architectuur (RTL schema en tekening) met duidelijke Input/Outputs en hiërarchie.	20%	LD1
E.2	VHDL-code van alle functionele blokken binnen de architectuur.	20%	LD2
E.3	Studenten moeten ook het verschil tussen concurrent en sequentiële code kunnen uitleggen en toepassen.	20%	LD3
E.4	Een werkend VHDL testbench met minimale basisfunctionaliteit ⁵ .	20%	LD4
E.5	Een werkend FPGA prototype waaruit blijkt dat het voldoet aan de basis functionaliteit van het systeem.	20%	LD5

Herkansing

Bij een onvoldoende voor de eerste kans is er een herkansingsmogelijkheid die wordt aangeboden in de herkansingsweek HT1 (na afloop van kwartaal 2). Voor de herkansing moet er een andere eindopdracht gekozen worden (dan bij de eerste kans). Het ontwerp en de resultaten van deze eindopdracht moeten beschreven worden in een verslag.

Fraude en/of plagiaat

Onder plagiaat wordt bij dit vak verstaan:

- Het overnemen van andermans teksten in eigen werk zonder bronvermelding.
 - Dit is alleen toegestaan als het een duidelijke toevoeging heeft tot het verslag, de tekst niet te lang is en tussen aanhalingstekens is geplaatst.
- Het overnemen van andermans code in eigen werk.
 - Stukken code mogen van internet of andere bronnen worden gebruikt mits de student het vermogen heeft om de werking hiervan uit te leggen. Indien een student de werking van een stuk zelf ingeleverde code niet kan uitleggen wordt dit als plagiaat gezien.
- Het parafraseren van andermans teksten in eigen werk zonder bronvermelding.
- Het parafraseren van andermans code in eigen werk.
 - D.w.z. het alleen aanpassen van bijv. namen van variabelen en functies zodat het lijkt alsof de code anders is, maar semantisch gezien sterk overeenkomt.
- Het overnemen van andermans afbeeldingen zonder bronvermelding.

Bij verdenking van plagiaat (bijv. in de ontwerpschets en/of code) wordt de beoordeling van het werk aan de examencommissie voorgelegd.

⁵ Basis functionaliteit kan uitgebreid worden met extra features voor een hogere eindcijfer. De extra features dienen vooraf bepaald te worden samen met de beoordelaars.

6 Voorkennis

Voor deze cursus is geen voorkennis geëist, maar wel gewenst. Het gaat om de volgende cursus van de opleiding Elektrotechniek:

- ELE10, Basis Elektrotechniek 1.

Omdat het een bepaald abstractieniveau vereist om schakelingen in tekst te omschrijven is het gewenst dat de studenten hun abstracte denkvermogen hebben geoefend. Bijvoorbeeld in de volgende cursussen van de opleiding Elektrotechniek:

- EMS10: Embedded Systems 1;
- EMS20: Embedded Systems 2.

7 Aansluiting op verdere studie

Het omgaan met en ontwerpen van digitale schakelingen is een vaardigheid die voor de vervolgcursus ELECSC10 noodzakelijk is en ook van pas kan komen bij ELEEEP71 en bij het afstuderen.

8 Verplichte literatuur

Aanbevolen wordt:

- *Circuit Design and Simulation with VHDL, Third Edition* – Pedroni. The MIT Press, 2020. ISBN: 978-0-262-04264-2.

9 Docentenbereikbaarheid

Docent	E-mail	MS Teams chat
J.Z.M. Broeders	BrojZ@hr.nl	Chat met Harry Broeders
R.T. Verhagen	VeRon@hr.nl	Chat met Ron Verhagen

10 Deadlines en speciale activiteiten

De deadlines voor het aftekenen van de vijf weekopdrachten is de laatste practicumles in week 8. De deadline voor het inleveren van de eindopdracht is zondag 23.59 uur in week T1 (de week na week 8).

11 Planning

In deze paragraaf wordt de gedetailleerde planning gegeven. De planning kan gedurende het semester nog worden aangepast. Als dit nodig is, dan zal een aangepaste planning worden gepubliceerd.

Lesweek	Werkvorm	Beschrijving
1.1 <i>Introduction to Digital Systems</i>	Vorbereiding	Boek kopen! Doorlezen cursushandleiding Doorlezen H1 boek
	Hoorcollege	Introduction to digital systems and structured digital design
	Practicum	Uitwerken opgave 1
	Leerdoel	LD1, LD2, LD3, LD4, LD5
	Zelfstudie	Werken aan practicumopdracht
1.2 <i>Introduction to VHDL and simulation</i>	Vorbereiding	Doorlezen H2, H3 en H10 boek Vorbereiden practicum
	Hoorcollege	Introduction VHDL Code structure and data types
	Practicum	Uitwerken opgave 2
	Leerdoel	LD1, LD2, LD3, LD4, LD5
	Zelfstudie	Opgaven (boek): 2.1, 2.2a, 3.1, 3.20, 3.22, 3.24
1.3 <i>Concurrent and Sequential VHDL</i>	Vorbereiding	Doorlezen H4, H5, H6 Combinational versus sequential design
	Hoorcollege	Concurrent and sequential code Signals versus variables
	Practicum	Uitwerken opgave 3
	Leerdoel	LD1, LD2, LD3, LD4, LD5
	Zelfstudie	Opgaven (boek): 4.4, 4.5, 5.1, 5.9, 6.3
1.4 <i>State machines part I</i>	Vorbereiding	Doorlezen H11
	Hoorcollege	Introduction to state machines

Deze tabel wordt vervolgd op de volgende pagina.

Vervolg van de vorige pagina.

Lesweek	Werkvorm	Beschrijving	
1.5 <i>Advanced structures in VHDL</i>	Practicum	Uitwerken opgave 4	
	Leerdoel	LD1, LD2, LD3, LD4, LD5	
	Zelfstudie	Opgaven (boek): 11.1	
	Vorbereiding	Doorlezen H6, H7 en H9 Vorbereiden practicum Sequential design	
	Hoorcollege	Signals versus variables Functions and procedures	
	Practicum	Uitwerken opgave 5	
	Leerdoel	LD1, LD2, LD3, LD4, LD5	
	Zelfstudie	Opgaven (boek): 6.7, 7.1, 7.2, 9.1, 9.5	
	1.6	Vorbereiding	Vorbereiden practicum
		Practicum	Werken aan eindopdracht
Leerdoel		LD1, LD2, LD3, LD4, LD5	
1.7	Vorbereiding	Vorbereiden practicum	
	Practicum	Werken aan eindopdracht	
	Leerdoel	LD1, LD2, LD3, LD4, LD5	
1.8	Deadline	Aftekenen weekopdrachten	
T1	Eindopdracht	Inleveren uiterlijk zondag 23.59 uur	

Versiehistorie

Datum	Versie	Omschrijving	Auteur
voor 2015	0.x	Oude versies. Docenten: RijWM, RigHC, PelJH, TeijW,	LogEH

Wordt vervolgd op de volgende pagina.

Vervolg van de vorige pagina.

Datum	Versie	Omschrijving	Auteur
09-2015	1.0	Enkele textuele verbeteringen in inleiding. Omgezet naar BrojZ LaTeX template. Teruggebracht naar indeling volgens standaard.	PelJH
06-2016	1.1	Aanpassen na overnemen van de cursus.	WitRe
06-2017	1.2	Aanpassen van de deadlines van de cursus.	Roelj
08-2018	1.3	Aanpassen van de beoordeling	WitRe
08-2019	1.4	Aanpassen van de lesstof wk 1 tm 5	Roelj
07-2020	1.5	Aanpassen van de voorwaarde bij de eindopdracht	Roelj
08-2022	1.6	Aanpassen van de voorwaarde bij de eindopdracht	Roelj
05-2023	1.7	Aanpassen van de beoordeling bij de eindopdracht	BrojZ