

Nakijkmodel ELEHWP01:

| Leerdoel | Weging | Uitmuntend (10) | Goed (8) | Voldoende (6) | Onvoldoende (4) | Zeer slecht (1) |
|---|--------|---|--|---|---|---|
| De student is in staat om een architectuurschema van een digitale schakeling te ontwerpen en te analyseren zodanig dat dit schema bruikbaar is voor een gedetailleerde uitwerking met behulp van VHDL en tevens bepaalde functionele eisen volbrengt. | 20 | Voldoende zie voetnoot 2 + Leerdoel is overtuigend aangetoond met een uitbreiding op de basisopdracht zie voetnoot 1 . <i>Architectuurschema en state diagram(s) zijn logisch en foutloos.</i> | Voldoende zie voetnoot 2 + Leerdoel is aangetoond met een uitbreiding op de basisopdracht maar bevat fouten. <i>Zoals: architectuurschema bevat te weinig details, indeling in componenten is niet logisch of state diagram ontbreekt.</i> | Leerdoel is overtuigend aangetoond met de basisopdracht. <i>Architectuurschema is helder en foutloos.</i> | Er is een poging gedaan om het leerdoel aan te tonen maar de poging bevat fouten. <i>Zoals: architectuurschema bevat te weinig details of indeling in componenten is niet logisch.</i> | Leerdoel is niet aangetoond. <i>Architectuurschema ontbreekt of is volledig onjuist.</i> |
| De student is in staat om met behulp van VHDL digitale schakelingen te ontwerpen zodanig dat de schakeling voldoet aan de vooraf gestelde functie. | 20 | Voldoende + Leerdoel is overtuigend aangetoond met een uitbreiding op de basisopdracht. <i>VHDL code is volledig correct.</i> | Voldoende + Leerdoel is aangetoond met een uitbreiding op de basisopdracht maar bevat fouten. <i>VHDL code werkt maar is voor verbetering vatbaar.</i> | Leerdoel is overtuigend aangetoond met de basisopdracht. <i>VHDL code is volledig correct.</i> | Er is een poging gedaan om het leerdoel aan te tonen maar de poging bevat fouten. <i>VHDL code werkt maar is voor verbetering vatbaar.</i> | Leerdoel is niet aangetoond. <i>VHDL code ontbreekt of is volledig onjuist.</i> |
| De student is in staat om het verschil aan te geven tussen een sequentiële en een combinatorische digitale schakeling zodanig dat (in VHDL) de juiste vorm van het beschrijven van deze schakeling gekozen kan worden. | 20 | Voldoende + Leerdoel is overtuigend aangetoond met een uitbreiding op de basisopdracht. <i>Keuze tussen sequentiële en combinatorische code is volledig correct en duidelijk aangegeven.</i> | Voldoende + Leerdoel is aangetoond met een uitbreiding op de basisopdracht maar bevat fouten. <i>Zoals: keuze tussen sequentiële en combinatorische code is wel correct maar niet duidelijk aangegeven of keuze is niet altijd correct.</i> | Leerdoel is overtuigend aangetoond met de basisopdracht. <i>Keuze tussen sequentiële en combinatorische code is volledig correct en duidelijk aangegeven.</i> | Er is een poging gedaan om het leerdoel aan te tonen maar de poging bevat fouten. <i>Zoals: keuze tussen sequentiële en combinatorische code is wel correct maar niet duidelijk aangegeven of keuze is niet altijd correct.</i> | Leerdoel is niet aangetoond. <i>Keuze tussen sequentiële en combinatorische code is volledig onjuist.</i> |
| De student is in staat om de werking van een in VHDL beschreven digitale schakeling te testen met behulp van een zogenaamde testbench, zodanig dat bewezen wordt dat de schakeling voldoet aan de gespecificeerde eisen. | 20 | Voldoende + Leerdoel is overtuigend aangetoond met een uitbreiding op de basisopdracht. <i>Testbench(es) testen alle functionaliteit automatisch (zover als mogelijk is).</i> | Voldoende + Leerdoel is aangetoond met een uitbreiding op de basisopdracht maar bevat fouten. <i>Zoals: Testbench(es) testen niet alle functionaliteit of het is nodig om waveforms handmatig te controlleren.</i> | Leerdoel is overtuigend aangetoond met de basisopdracht. <i>Testbench(es) testen alle functionaliteit automatisch (zover als mogelijk is).</i> | Er is een poging gedaan om het leerdoel aan te tonen maar de poging bevat fouten. <i>Zoals: Testbench(es) testen niet alle functionaliteit of het is nodig om waveforms handmatig te controlleren.</i> | Leerdoel is niet aangetoond. <i>Testbench(es) ontbreken of zijn volledig onjuist.</i> |
| De student is in staat om een in VHDL beschreven digitale schakeling te realiseren op een FPGA met bijbehorende periferie, zodanig dat de schakeling ook buiten de FPGA voldoet aan de functionele en implementatiegerichte eisen. | 20 | Voldoende + Leerdoel is overtuigend aangetoond met een uitbreiding op de basisopdracht. <i>Correcte werking is aangetoond met duidelijke screenshots of filmpje. Uitvoer van de RTL Viewer en State Diagram Viewer komen overeen met het ontwerp.</i> | Voldoende + Leerdoel is aangetoond met een uitbreiding op de basisopdracht maar bevat fouten. <i>Zoals: correcte werking is niet overtuigend aangetoond of uitvoer van de RTL Viewer en State Diagram Viewer komen niet overeen met het ontwerp.</i> | Leerdoel is overtuigend aangetoond met de basisopdracht. <i>Correcte werking is aangetoond met duidelijke screenshots of filmpje. Uitvoer van de RTL Viewer komt overeen met het ontwerp.</i> | Er is een poging gedaan om het leerdoel aan te tonen maar de poging bevat fouten. <i>Zoals: correcte werking is niet overtuigend aangetoond of uitvoer van de RTL Viewer komt niet overeen met het ontwerp.</i> | Leerdoel is niet aangetoond. <i>Werking is niet aangetoond of VHDL code werkt niet op de FPGA of uitvoer van de RTL Viewer is niet gegeven.</i> |

Totaal

100

Voetnoot 1: De uitbreiding op de basisopdracht dient te voldoen aan de volgende eisen. De uitbreiding:

- bevat minstens één zelfgeschreven state machine met minstens vier states;
- bevat minstens drie componenten waarvan er minstens één zelfgeschreven is;
- elk zelfgeschreven component heeft een testbench die deze component automatisch test;
- de zelfgeschreven component maakt gebruik van generics als dit toepasselijk is.

Voetnoot 2: Om een *Uitmuntend* of *Goed* te behalen moet ook aan de voorwaarde voor een *Voldoende* zijn voldaan!