

Казанский национальный исследовательский  
технический университет им. А.Н. Туполева-КАИ

Представление  
аппаратно-программного модуля  
оценки качества случайных  
последовательностей в  
архитектуре ПЛИС

Гумиров А.И.

Сулейманов С.Ф.

Ясавиев Д.Р.

Научный руководитель: Кузнецов В.М.

# Расчет значения критерия (наихудший случай)

длина анализируемого участка последовательности L = 16																														
период последовательности p = 15																	№	комб	v	p	w(r=3)	κ  дробн	κ  числ							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
τ																		0	0	0	0	1	14/14	1/8	1 - 1/8	0,875				
1	0	0	0																											
2		0	0	0														1	0	0	1	2	0/14	1/8	0 - 1/8	0,125				
3			0	0	0																									
4				0	0	0										2	0	1	0	2	0/14	1/8	0 - 1/8	0,125						
5					0	0	0																							
6						0	0	0						3	0	1	1	2	0/14	1/8	0 - 1/8	0,125								
7							0	0	0																					
8								0	0	0				4	1	0	0	1	0/14	1/8	0 - 1/8	0,125								
9									0	0	0																			
10										0	0	0		5	1	0	1	2	0/14	1/8	0 - 1/8	0,125								
11											0	0	0																	
12	$N_{сд} = L - r + 1$														0	0	0	6	1	1	0	2	0/14	1/8	0 - 1/8	0,125				
13																			0	0	0									
14																					0	0	0	7	1	1	1	2	0/14	1/8

$$I_{|\kappa|_i \text{norm}} = \frac{I_{|\kappa|_i}}{I_{|\kappa|_i \text{наихудш}}}$$

$$I_{|\kappa|_i \text{наихудш}} = \sum_{i=0}^7 |\kappa|_i = 1,750$$

$$I_{|\kappa|_i \text{наихудш norm}} = 1$$

1,750
-------

# Расчет значения критерия (обычный случай)

длина анализируемого участка последовательности L = 16																период последовательности p = 15				№	комб	v	p	w(r=3)	x  дробн	x  числ							
0	0	0	1	0	0	1	1	0	1	0	1	1	1	1	0																		
τ																0	0	0	0	1	1/14	1/8	1/14 - 1/8	0,054									
1	0	0	0																														
2		0	0	0												1	0	0	1	2	2/14	1/8	2/14 - 1/8	0,018									
3			0	0	0																												
4				0	0	0										2	0	1	0	2	2/14	1/8	2/14 - 1/8	0,018									
5					0	0	0																										
6						0	0	0								3	0	1	1	2	2/14	1/8	2/14 - 1/8	0,018									
7							0	0	0																								
8								0	0	0						4	1	0	0	1	1/14	1/8	1/14 - 1/8	0,054									
9									0	0	0																						
10										0	0	0				5	1	0	1	2	2/14	1/8	2/14 - 1/8	0,018									
11											0	0	0																				
12	$N_{сд} = L - r + 1$													0	0	0			6	1	1	0	2	2/14	1/8	2/14 - 1/8	0,018						
13																			0	0	0												
14																					0	0	0		7	1	1	1	2	2/14	1/8	2/14 - 1/8	0,018

$$I_{|x|_i \text{norm}} = \frac{I_{|x|_i}}{I_{|x|_i \text{наихудш}}}$$

$$I_{|x|_i} = 0,214$$

$$I_{|x|_i \text{наихудш}} = 1,750$$

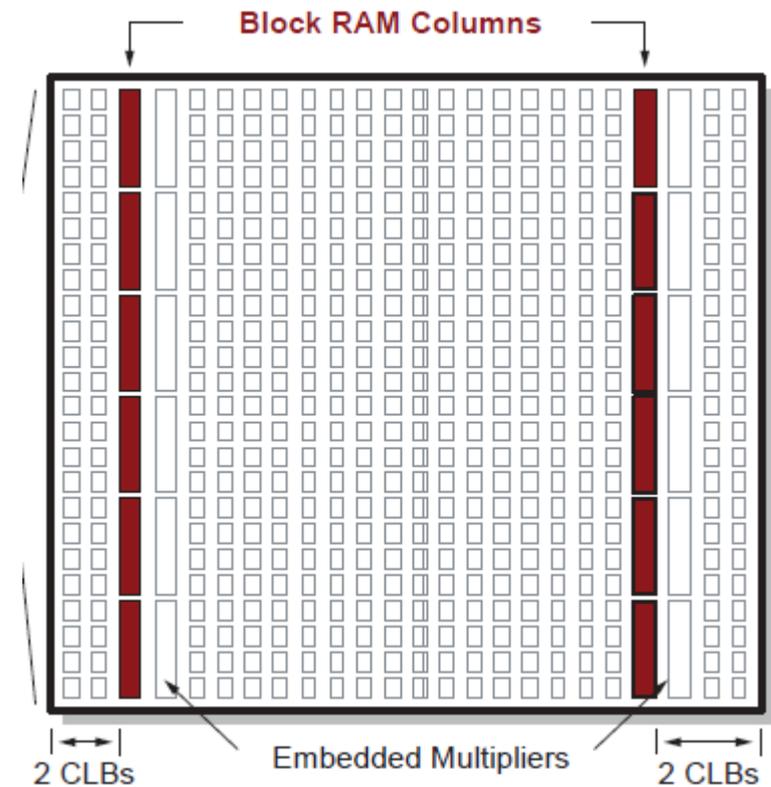
$$I_{|x|_i \text{norm}} = 0,122$$

0,214
-------

# Расчет значения критерия (для длины последовательности L=130)

длина анализируемого участка послед. L = 130																									
период последовательности неизвестен													№	комб	v	p	w(r=3)	x  дробн	x  числ						
0	0	0	1	0	0	1	.	.	.	1	1	0													
τ													0	0 0 0	64	64/128	16/128	64/128-16/128	0,375						
1	0	0	1					.	.	.															
2		0	0	1				.	.	.			1	0 0 1	16	16/128	16/128	16/128-16/128	0,000						
3			0	0	1			.	.	.															
4				0	0	1		.	.	.			2	0 1 0	16	16/128	16/128	16/128-16/128	0,000						
5					0	0	1	.	.	.															
6						0	0	.	.	.			3	0 1 1	4	4/128	16/128	4/128-16/128	0,094						
7							0	.	.	.															
8								.	.	.			4	1 0 0	16	16/128	16/128	16/128-16/128	0,000						
9								.	.	.															
10								.	.	.			5	1 0 1	8	8/128	16/128	8/128-16/128	0,063						
11								.	.	.															
12	$N_{сд} = L - r + 1$						.	.	1					6	1 1 0	4	4/128	16/128	4/128-16/128	0,094					
13							.	.	0	1															
14							.	.	0	0	1							7	1 1 1	0	0/128	16/128	0/128-16/128	0,375	

# Отладочная плата Spartan-3A Starter Kit

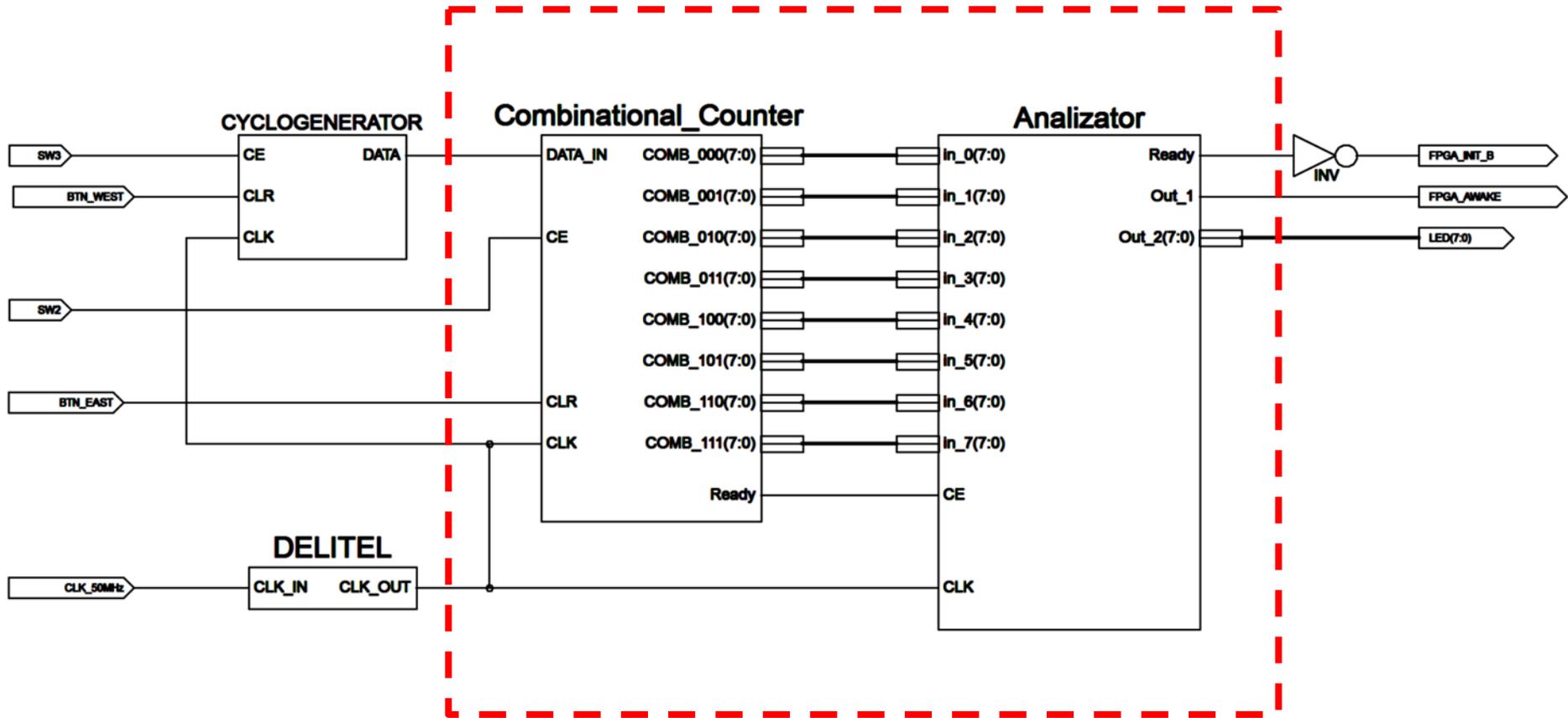


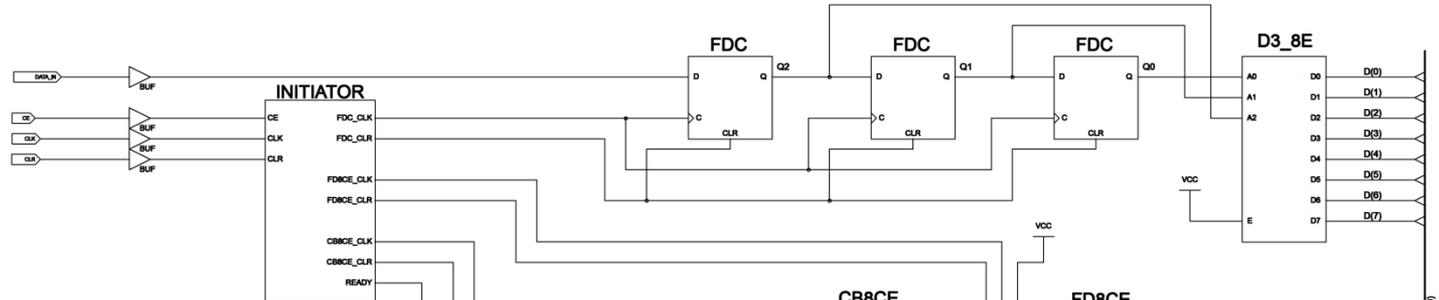
FPGA XILINX  
XC3S700A

Table 1-5: Summary of Spartan-3A FPGA Attributes

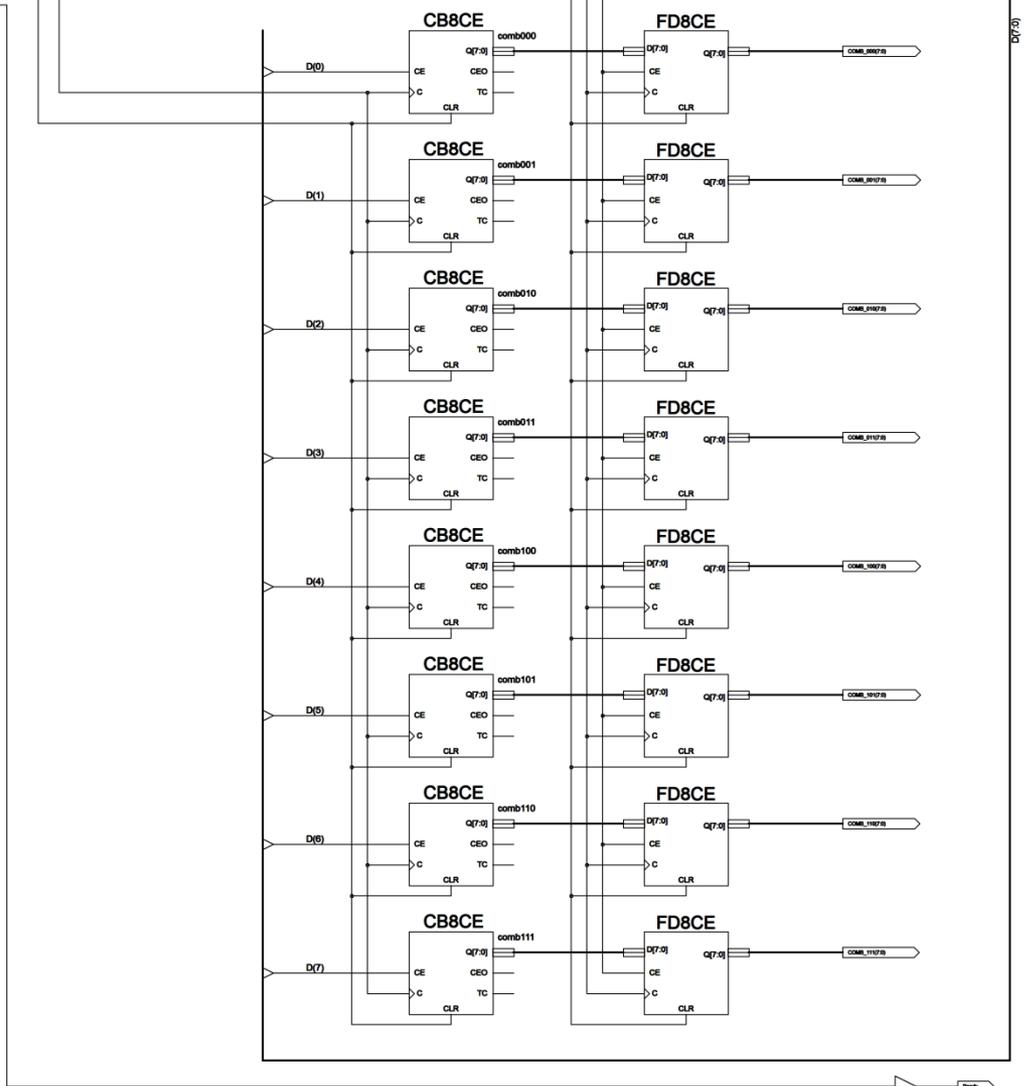
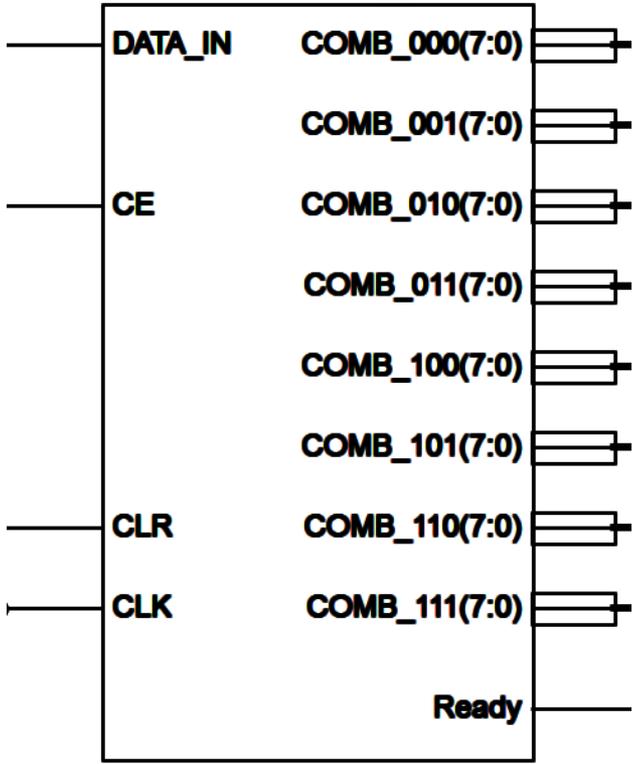
Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM Bits	Block RAM Bits	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs	Total Slices						
XC3S700A	700K	13,248	48	32	1472	5,888	92K	360K	20	8	372	165

# Структурная схема устройства





# Combinational\_Counter



# Оптимизация алгоритма вычислений

$$\left| \frac{64}{128} - \frac{16}{128} \right| + \left| \frac{16}{128} - \frac{16}{128} \right| + \left| \frac{16}{128} - \frac{16}{128} \right| + \left| \frac{4}{128} - \frac{16}{128} \right| +$$

$$\left| \frac{16}{128} - \frac{16}{128} \right| + \left| \frac{8}{128} - \frac{16}{128} \right| + \left| \frac{4}{128} - \frac{16}{128} \right| + \left| \frac{0}{128} - \frac{16}{128} \right|$$

=

$$\frac{|64 - 16| + |16 - 16| + |16 - 16| + |4 - 16| +$$

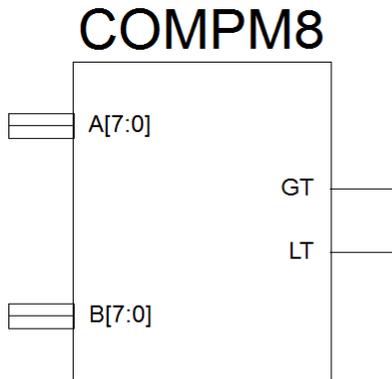
$$+ |16 - 16| + |8 - 16| + |4 - 16| + |0 - 16|}{128}$$

=

$$\frac{(64 - 16) + (16 - 16) + (16 - 16) + (16 - 4) +$$

$$+(64 - 16) + (16 - 8) + (16 - 4) + (16 - 0)}{128}$$

# Реализация операции сравнения в САПР ISE (представление в схемотехническом редакторе)

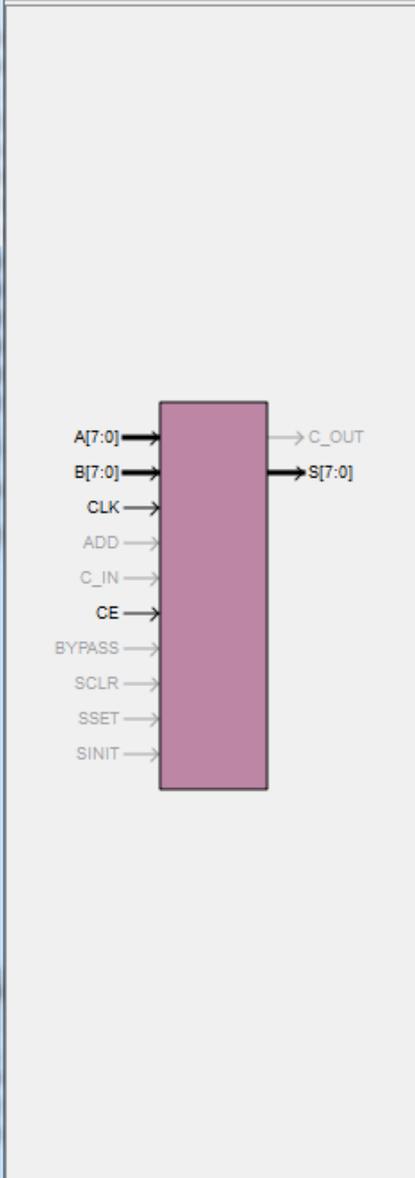


Inputs								Outputs	
A7, B7	A6, B6	A5, B5	A4, B4	A3, B3	A2, B2	A1, B1	A0, B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0



# Adder Subtractor

xilinx.com:ip:c\_addsub:11.0



Component Name

SUBTRACTOR

Implement using

Fabric

A Input Type

Unsigned

B Input Type

Unsigned

A Input Width

8

Range: 1..256

B Input Width

8

Range: 1..256

Add Mode

Subtract

Output Width

8

Range: 8..9

Latency Configuration

Automatic

Latency

1

Range: 0..258

Constant Input

Constant Value

00000000

(Bin)

### Control

Clock Enable (CE)

Carry In (C\_IN)

Carry Out (C\_OUT)

Borrow In/Out Sense

Active Low

Synchronous Clear (SCLR)

Synchronous Set (SSET)

Synchronous Init (SINIT)

Init Value

0

(Hex)

Bypass

Bypass Sense

Active High

Synchronous Set and Clear(Reset) Priority

Reset Overrid

Synchronous Controls and Clock Enable(CE) Priority

Sync Overrid

Bypass and Clock Enable(CE) Priority

CE Overrides

Power-on Reset Init Value

0

(Hex)



# Divider Generator

xilinx.com:ip:div\_gen:3.0

Component Name

### Common Options

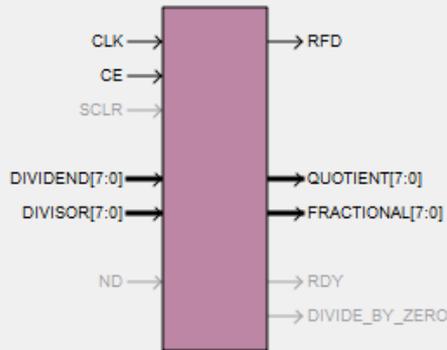
- Algorithm Type
- Dividend and Quotient Width  Range: 2..32
- Divisor Width  Range: 2..32
- Remainder Type
- Fractional Width  Range: 2..32
- Operand Sign
- Latency Configuration
- Latency  Range: 0..100

### Radix2 Options

Clocks per Division

### Control Signals

- CE
- SCLR
- SCLR/CE Priority



[Datasheet](#)

[Generate](#)

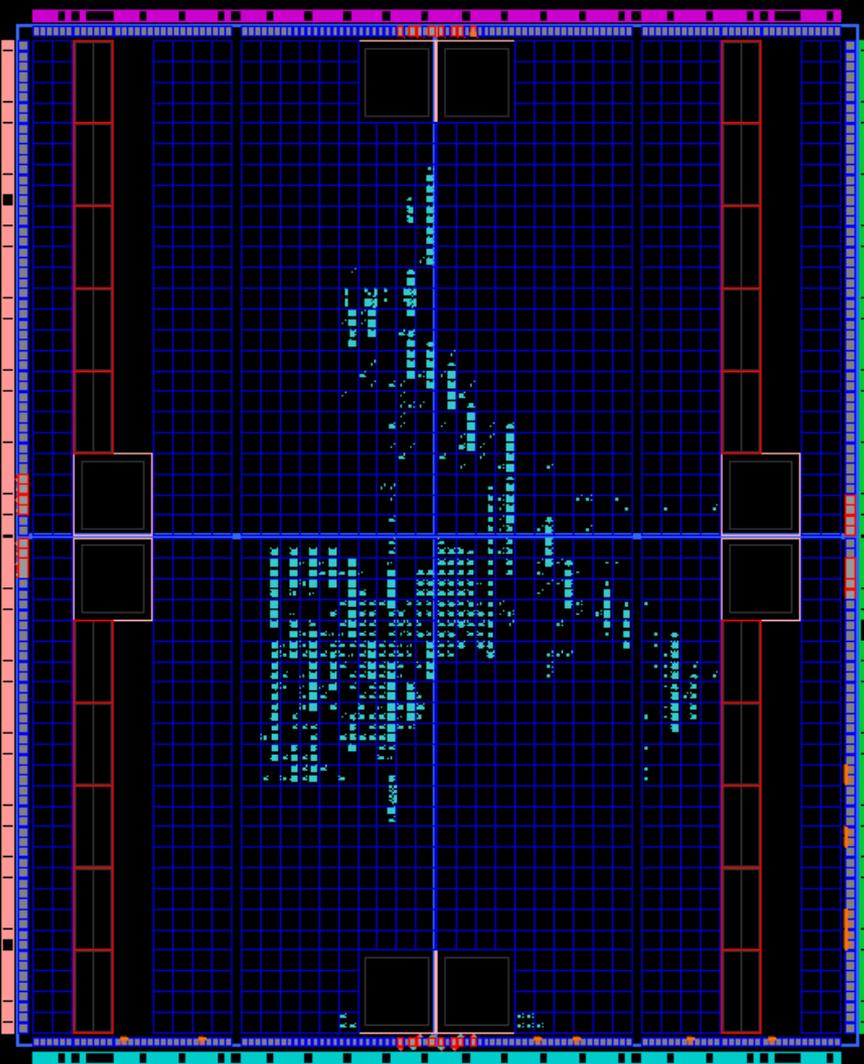
[Cancel](#)

[Help](#)

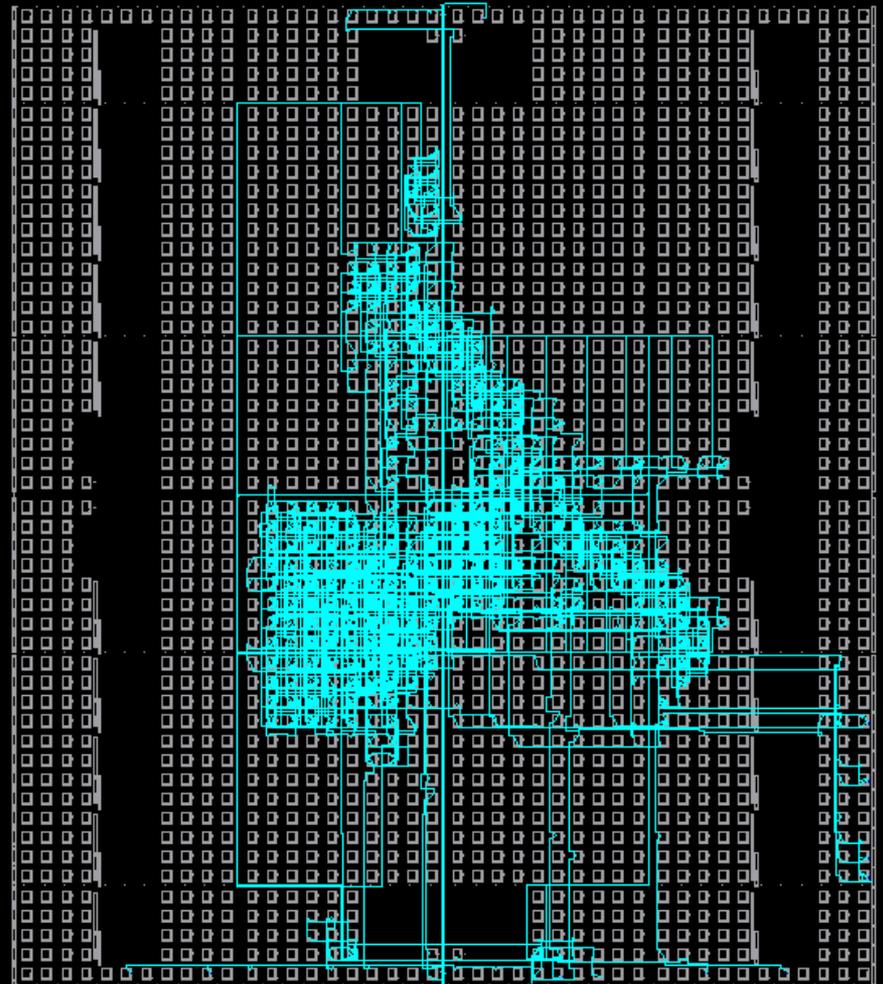
# Отчет по затратам ресурсов кристалла

Device Utilization Summary				<a href="#">[-]</a>
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	681	11,776	5%	
Number of 4 input LUTs	501	11,776	4%	
Number of occupied Slices	502	5,888	8%	
Number of Slices containing only related logic	502	502	100%	
Number of Slices containing unrelated logic	0	502	0%	
Total Number of 4 input LUTs	608	11,776	5%	
Number used as logic	501			
Number used as a route-thru	107			
Number of bonded <a href="#">IOBs</a>	15	372	4%	
Number of BUFGMUXs	4	24	16%	
Average Fanout of Non-Clock Nets	2.55			

# Представление реализованного модуля на кристалле



Plan Ahead



FPGA Editor